

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-200129

(P2017-200129A)

(43) 公開日 平成29年11月2日(2017.11.2)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/378 (2011.01)	H04N 5/335 780	2H040
H04N 5/225 (2006.01)	H04N 5/225 C	4C161
H04N 5/374 (2011.01)	H04N 5/335 740	4M118
A61B 1/04 (2006.01)	A61B 1/04 370	5C024
H01L 27/146 (2006.01)	H01L 27/14 A	5C122

審査請求 未請求 請求項の数 4 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2016-91532 (P2016-91532)
 (22) 出願日 平成28年4月28日 (2016. 4. 28)

(71) 出願人 000000376
 オリンパス株式会社
 東京都八王子市石川町2951番地
 (74) 代理人 100076233
 弁理士 伊藤 進
 (74) 代理人 100101661
 弁理士 長谷川 靖
 (74) 代理人 100135932
 弁理士 篠浦 治
 (72) 発明者 本田 誠也
 東京都八王子市石川町2951番地 オリ
 ンパス株式会社内
 (72) 発明者 澤田 浩和
 東京都八王子市石川町2951番地 オリ
 ンパス株式会社内

最終頁に続く

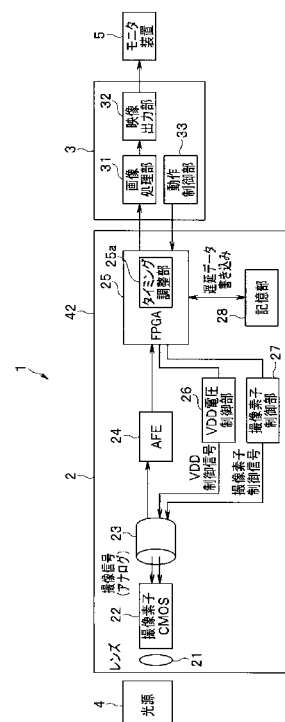
(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】内視鏡自体の遮光構造、配光特性または組立精度等によらず、固体撮像素子における有効画素開始位置を正確に算出する。

【解決手段】有効画素開始位置算出部(タイミング調整部25a)は、第1サンプルホールド部において第1出力信号をサンプルホールドする第1サンプルホールド動作時と第2サンプルホールド部において第2出力信号をサンプルホールドする第2サンプルホールド動作時との間において、VDD電圧制御部26の制御によりCMOSイメージセンサ撮像素子22に供給するVDDをグラウンドレベルに設定し、かつ、リセットトランジスタM_{RS}Tをリセット制御して電荷検出部(FD)に所定の電荷を逆注入させた後、撮像素子22から出力した撮像信号のエッジを抽出し、複数の画素に係る有効画素開始位置を算出する。

【選択図】図2



【特許請求の範囲】

【請求項 1】

入射光に応じて光を光電変換して信号電荷を蓄積する光電変換素部と、
前記光電変換部において蓄積された信号電荷を転送する電荷転送部と、
前記電荷転送部に接続され、前記光電変換部において蓄積された前記信号電荷を検出する電荷検出部と、
前記電荷検出部をリセットするためのリセット動作を実行するリセット部と、
を有する画素を複数備え、
前記光電変換部において蓄積された前記信号電荷に基づく撮像信号を出力する固体撮像素子であって、

10

前記電荷転送部がオフされた状態において、前記リセット部におけるリセット動作により前記電荷検出部がリセットされた際の当該電荷検出部に係るリセットノイズ信号に基づく第 1 出力信号をサンプルホールドする第 1 サンプルホールド部と、

前記電荷転送部がオンされた状態において、前記光電変換部が蓄積した信号電荷を前記電荷検出部に転送した後、当該電荷検出部における前記リセットノイズ信号を含む検出信号に基づく第 2 出力信号をサンプルホールドする第 2 サンプルホールド部と、

前記第 1 サンプルホールド部においてサンプルホールドされた前記第 1 出力信号と、前記第 2 サンプルホールド部においてサンプルホールドされた前記第 2 出力信号との差動出力信号を出力する差動出力部と、

20

を有する固体撮像素子と、

前記固体撮像素子に供給する電源電圧値を、当該固体撮像素子が稼働する第 1 の電圧値から当該第 1 の電圧値より低い電圧であって、前記電荷検出部に所定の電荷を逆注入可能とする第 2 の電圧値に設定可能とする電源電圧制御部と、

前記電荷検出部に所定の電荷を逆注入するため前記リセット部におけるリセット動作を制御するリセット制御部と、

前記固体撮像素子から出力した前記撮像信号のエッジを抽出し、前記複数の画素に係る有効画素開始位置を算出する有効画素開始位置算出部と、

を備え、

前記有効画素開始位置算出部は、

前記第 1 サンプルホールド部において前記第 1 出力信号をサンプルホールドする第 1 サンプルホールド動作時と前記第 2 サンプルホールド部において前記第 2 出力信号をサンプルホールドする第 2 サンプルホールド動作時との間において、前記電源電圧制御部を制御して、前記固体撮像素子に供給する電源電圧値を前記第 2 の電圧値に設定し、かつ、前記リセット制御部を制御して、前記リセット部におけるリセット動作を実行させることにより前記電荷検出部をリセットせしめ、当該電荷検出部に所定の電荷が逆注入された状態にされた後、前記固体撮像素子から出力した前記撮像信号のエッジを抽出し、前記複数の画素に係る有効画素開始位置を算出する

30

ことを特徴とする撮像装置。

【請求項 2】

前記有効画素開始位置算出部により算出された前記有効画素開始位置に係る情報を記憶する記憶部を備える請求項 1 に記載の撮像装置。

40

【請求項 3】

前記有効画素開始位置に係る情報は、前記有効画素開始位置と水平同期信号との位相差に係る情報である

ことを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記固体撮像素子に接続され、前記撮像信号を伝送する伝送ケーブルを備え、

前記有効画素開始位置に係る情報は、前記伝送ケーブルを伝送する前記撮像信号の遅延量の情報である

ことを特徴とする請求項 3 に記載の撮像装置。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、撮像装置に関し、特に、固体撮像素子における有効画素開始位置を算出可能とする撮像装置に関する。

【背景技術】**【0002】**

被検体の内部の被写体を撮像する内視鏡、及び、内視鏡により撮像された被写体の観察画像を生成する画像処理装置等を具備する内視鏡システムが、医療分野及び工業分野等において広く用いられている。

【0003】

このような内視鏡システムにおける内視鏡としては、従来、被写体像を入光する固体撮像素子として例えばCCDイメージセンサを採用し、また、この固体撮像素子から出力されるアナログ撮像信号を伝送するケーブルを内部に配設する内視鏡が知られている（特許文献1参照）。

【0004】

一方、この種の伝送ケーブルを配設する内視鏡においては、近年、撮像素子の高画素化および高速化に伴い、当該伝送ケーブル内を伝送する撮像信号の遅延が後段側（例えば、ビデオプロセッサ）における画像処理に影響を及ぼすようになってきた。

【0005】

しかしながら、この伝送ケーブルにおける撮像信号の遅延量は、主として当該伝送ケーブルのケーブル長に起因することが知られていることから、従来、内視鏡ごとに予め当該遅延量を求めておくことにより、上述した後段側における画像処理への影響を排除することが可能となっている。

【0006】

具体的には、内視鏡における固体撮像素子に一定の光を照射し、この固体撮像素子における複数の画素のうち当該照射光に反応し始める画素を有効画素の開始位置とみなすことで、伝送ケーブルに起因する遅延量を求め、この遅延量を当該内視鏡固有の遅延量として所定のメモリに記憶し、後段側の画素処理においてこの遅延量を考慮することにより、悪影響を排除することが可能となる。

【0007】

すなわち、当該固体撮像素子における有効画素開始位置を正確に算出することができれば、この有効画素開始位置の算出結果と、上述した伝送ケーブルに由来する遅延に係るパラメータとに基づいて、当該内視鏡固有の「正しい遅延量」を求めることができることから、上述した「有効画素開始位置」を正確に算出することが重要となる。

【先行技術文献】**【特許文献】****【0008】**

【特許文献1】特開2009-106442号公報

【発明の概要】**【発明が解決しようとする課題】****【0009】**

一方、この種の内視鏡においては、従来、内視鏡自体の遮光構造、配光特性または組立精度等により、固体撮像素子における光に反応し始める画素の位置（すなわち、上述した有効画素開始位置）を正確に求めることが困難となる虞があった。

【0010】

この場合、すなわち、有効画素開始位置を誤って認識してしまうと、上述した理由により、伝送ケーブルに起因する「遅延量」についても間違って認識しまうこととなり、上記の「正しい遅延量」を得ることができない虞があった。

【0011】

10

20

30

40

50

そして、この「正しい遅延量」を得ることができない場合、後段の画像処理において、例えば、色ずれ、または、レンズとの中心位置ずれという不具合を生じる虞があった。

【 0 0 1 2 】

本発明は上述した事情に鑑みてなされたものであり、内視鏡自体の遮光構造、配光特性または組立精度等によらず、固体撮像素子における有効画素開始位置を正確に算出することができる撮像装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 3 】

本発明の一態様の撮像装置は、入射光に応じて光を光電変換して信号電荷を蓄積する光電変換素部と、前記光電変換部において蓄積された信号電荷を転送する電荷転送部と、前記電荷転送部に接続され、前記光電変換部において蓄積された前記信号電荷を検出する電荷検出部と、前記電荷検出部をリセットするためのリセット動作を実行するリセット部と、を有する画素を複数備え、前記光電変換部において蓄積された前記信号電荷に基づく撮像信号を出力する固体撮像素子であって、

前記電荷転送部がオフされた状態において、前記リセット部におけるリセット動作により前記電荷検出部がリセットされた際の当該電荷検出部に係るリセットノイズ信号に基づく第1出力信号をサンプルホールドする第1サンプルホールド部と、前記電荷転送部がオンされた状態において、前記光電変換部が蓄積した信号電荷を前記電荷検出部に転送した後、当該電荷検出部における前記リセットノイズ信号を含む検出信号に基づく第2出力信号をサンプルホールドする第2サンプルホールド部と、前記第1サンプルホールド部においてサンプルホールドされた前記第1出力信号と、前記第2サンプルホールド部においてサンプルホールドされた前記第2出力信号との差動出力信号を出力する差動出力部と、を有する固体撮像素子と、

前記固体撮像素子に供給する電源電圧値を、当該固体撮像素子が稼働する第1の電圧値から当該第1の電圧値より低い電圧であって、前記電荷検出部に所定の電荷を逆注入可能とする第2の電圧値に設定可能とする電源電圧制御部と、

前記電荷検出部に所定の電荷を逆注入するため前記リセット部におけるリセット動作を制御するリセット制御部と、

前記固体撮像素子から出力した前記撮像信号のエッジを抽出し、前記複数の画素に係る有効画素開始位置を算出する有効画素開始位置算出部と、

を備え、

前記有効画素開始位置算出部は、

前記第1サンプルホールド部において前記第1出力信号をサンプルホールドする第1サンプルホールド動作時と前記第2サンプルホールド部において前記第2出力信号をサンプルホールドする第2サンプルホールド動作時との間において、前記電源電圧制御部を制御して、前記固体撮像素子に供給する電源電圧値を前記第2の電圧値に設定し、かつ、前記リセット制御部を制御して、前記リセット部におけるリセット動作を実行させることにより前記電荷検出部をリセットせしめ、当該電荷検出部に所定の電荷が逆注入された状態にされた後、前記固体撮像素子から出力した前記撮像信号のエッジを抽出し、前記複数の画素に係る有効画素開始位置を算出する。

【発明の効果】

【 0 0 1 4 】

本発明によれば、内視鏡自体の遮光構造、配光特性または組立精度等によらず、固体撮像素子における有効画素開始位置を正確に算出することができる撮像装置を提供することができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図1】図1は、本発明の第1の実施形態の内視鏡を含む内視鏡システムの構成を示す図である。

【図2】図2は、第1の実施形態の内視鏡を含む内視鏡システムの電氣的な構成を示すブ

10

20

30

40

50

ロック図である。

【図 3】図 3 は、第 1 の実施形態の内視鏡における撮像素子の構成を示すブロック図である。

【図 4】図 4 は、第 1 の実施形態の内視鏡における撮像素子の詳細な構成を示す電気回路図である。

【図 5】図 5 は、第 1 の実施形態の内視鏡において、内視鏡構造等に問題が無いとした場合における有効画素開始位置の算出工程を示すフローチャートである。

【図 6】図 6 は、第 1 の実施形態の内視鏡において、内視鏡構造等に問題が無いとした場合における有効画素開始位置の算出工程を示すタイミングチャートである。

【図 7】図 7 は、第 1 の実施形態の内視鏡において、水平同期信号と有効画素開始位置との位相差を求める際の様子を示したタイミングチャートである。

【図 8】図 8 は、第 1 の実施形態の内視鏡における有効画素開始位置の算出工程を示すフローチャートである。

【図 9】図 9 は、第 1 の実施形態の内視鏡における有効画素開始位置の算出工程を示すタイミングチャートである。

【図 10】図 10 は、本発明の第 2 の実施形態の内視鏡における撮像素子の詳細な構成を示す電気回路図である。

【図 11】図 11 は、第 2 の実施形態の内視鏡において、内視鏡構造等に問題が無いとした場合における有効画素開始位置の算出工程を示すタイミングチャートである。

【図 12】図 12 は、第 2 の実施形態の内視鏡における有効画素開始位置の算出工程を示すタイミングチャートである。

【図 13】図 13 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性および組立精度に問題無く、有効画素領域と O B 画素領域との境界に光が適切に照射されている状態を示した説明図である。

【図 14】図 14 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性または組立精度に問題があり、有効画素領域と O B 画素領域との境界に光が十分に照射されていない状態を示した説明図である。

【図 15】図 15 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性および組立精度に問題無く、有効画素領域と O B 画素領域との境界に光が適切に照射されている状態における有効画素開始位置を示した説明図である。

【図 16】図 16 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性および組立精度に問題が無い状態における、伝送ケーブルによる撮像信号の遅延状態を示したタイミングチャートである。

【図 17】図 17 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性または組立精度に問題があり、有効画素領域と O B 画素領域との境界に光が十分に照射されていない状態における有効画素開始位置を示した説明図である。

【図 18】図 18 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性または組立精度に問題がある状態における、伝送ケーブルによる撮像信号の遅延状態を示したタイミングチャートである。

【発明を実施するための形態】

【0016】

以下、図面を参照して本発明の実施形態を説明する。

【0017】

< 第 1 の実施形態 >

図 1 は、本発明の第 1 の実施形態の撮像装置を含む内視鏡システムの構成を示す図であり、図 2 は、第 1 の実施形態の撮像装置を含む内視鏡システムの電氣的な構成を示すブロック図である。

【0018】

なお、本実施形態においては、撮像装置として、固体撮像素子を有し被検体の内部の被写体を撮像する内視鏡を例に挙げて説明する。

10

20

30

40

50

【 0 0 1 9 】

図 1、図 2 に示すように、本第 1 の実施形態の撮像装置（内視鏡）を有する内視鏡システム 1 は、被検体の観察し撮像する内視鏡 2 と、当該内視鏡 2 に接続され前記撮像信号を入力し所定の画像処理を施すビデオプロセッサ 3 と、被検体を照明するための照明光を供給する光源装置 4 と、撮像信号に応じた観察画像を表示するモニタ装置 5 と、を有している。

【 0 0 2 0 】

内視鏡 2 は、被検体の体腔内等に挿入される細長の挿入部 6 と、挿入部 6 の基端側に配設され術者が把持して操作を行う内視鏡操作部 10 と、内視鏡操作部 10 の側部から延出するように一方の端部が設けられたユニバーサルコード 41 と、を有して構成されている。

10

【 0 0 2 1 】

挿入部 6 は、先端側に設けられた硬質の先端部 7 と、先端部 7 の後端に設けられた湾曲自在の湾曲部 8 と、湾曲部 8 の後端に設けられた長尺かつ可撓性を有する可撓管部 9 と、を有して構成されている。

【 0 0 2 2 】

前記ユニバーサルコード 41 の基端側にはコネクタ 42 が設けられ、当該コネクタ 42 は光源装置 4 に接続されるようになっていて、すなわち、コネクタ 42 の先端から突出する流体管路の接続端部となる口金（図示せず）と、照明光の供給端部となるライトガイド口金（図示せず）とは光源装置 4 に着脱自在で接続されるようになっていて、

20

【 0 0 2 3 】

さらに、前記コネクタ 42 の側面に設けた電気接点部には接続ケーブル 43 の一端が接続されるようになっていて、そして、この接続ケーブル 43 には、例えば内視鏡 2 における撮像素子 22（図 2 参照）からの撮像信号を伝送する信号線が内設され、また、他端のコネクタ部はビデオプロセッサ 3 に接続されるようになっていて、

【 0 0 2 4 】

なお、前記コネクタ 42 には、後述する AFE 24、FPGA 25、VDD 電圧制御部 26、撮像素子制御部 27、および、当該内視鏡 2 における固有の所定 ID 情報（例えば、遅延データ等）を記憶した記憶部 28 等（図 2 参照）が配設されている（これら各構成要素については、後に詳述する）。

30

【 0 0 2 5 】

ここで、本実施形態の内視鏡 2 の構成を説明するに先立って、本願発明の課題を明確にするために、内視鏡自体の遮光構造、配光特性または組立精度が、固体撮像素子における有効画素開始位置の算出に及ぼす影響について、図 13～図 18 を参照して説明する。

【 0 0 2 6 】

上述したように、伝送ケーブルに起因する、内視鏡固有の撮像信号に係る「正しい遅延量」を正確に求めるためには、固体撮像素子における有効画素開始位置を正確に算出することを要するが、内視鏡自体の遮光構造、配光特性または組立精度等により、この有効画素開始位置を正確に求めることが困難となる虞があった。

【 0 0 2 7 】

この場合、すなわち、有効画素開始位置を誤って認識してしまうと、上述した理由により、伝送ケーブルに起因する「遅延量」についても間違えて認識してしまうこととなり、上記の「正しい遅延量」を得ることができない虞があった。

40

【 0 0 2 8 】

図 13、図 15、図 16 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性および組立精度に問題が無く、有効画素領域と OB 画素領域との境界に光が適切に照射されている状態を示した図であって、図 15 は、有効画素開始位置を示した説明図であり、図 16 は、伝送ケーブルによる撮像信号の遅延状態を示したタイミングチャートである。

【 0 0 2 9 】

図 13、図 15 に示すように、内視鏡自体の遮光構造、配光特性および組立精度に問題

50

が無い状態において撮像素子に光を照射すると、有効画素領域（図 15 中、「画面」と表示）と OB 画素領域 8 1 との境界には光が適切に照射されることとなる。

【0030】

すなわちこのとき、図 15 における有効画素領域と OB 画素領域 8 1 との境界の拡大部が示すように、複数の画素のうち OB 画素領域 8 1 における画素 8 2 に対して、直近の有効画素面の左端の画素 8 3 には適切に光が照射され、当該画素 8 3 からは適切に撮像信号が出力されることとなる。

【0031】

そしてこのとき内視鏡は、この画素 8 3 の位置を当該内視鏡における「有効画素開始位置」として算出することができる。

10

【0032】

ところで、上述したように、内視鏡先端部に配設された撮像素子からの撮像信号（図 16 においては、先端部撮像信号）は、伝送ケーブルにおいて所定の遅延を生じることとなり、例えば、図 16 に示す水平同期信号に対して、後段側（図 16 においては C V 部（ビデオプロセッサ 3）撮像信号）において 1 クロック分の遅延を生じることとなる。

【0033】

ここで、上述したように、有効画素開始位置を正確に算出できている以上、この遅延分（今の場合 1 クロック分）は、内視鏡固有の情報として正しく認識できるため、後段側において支障を来すことはない。

【0034】

一方、内視鏡自体の遮光構造、配光特性または組立精度に問題があり、有効画素領域と OB 画素領域との境界に光が十分に照射されていない状態を考える。

20

【0035】

図 14、図 17、図 18 は、従来の内視鏡において、内視鏡自体の遮光構造、配光特性または組立精度に問題があり、有効画素領域と OB 画素領域との境界に光が十分に照射されていない状態を示した図であって、図 17 は、有効画素開始位置を示した説明図であり、図 18 は、伝送ケーブルによる撮像信号の遅延状態を示したタイミングチャートである。

【0036】

図 14、図 17 に示すように、内視鏡自体の遮光構造、配光特性および組立精度に問題がある状態において撮像素子に光を照射すると、有効画素領域（図 17 中、「画面」と表示）と OB 画素領域 8 1 との境界には光が十分に照射されないこととなる（図 17 中、斜線部分）。

30

【0037】

すなわちこのとき、図 17 における有効画素領域と OB 画素領域 8 1 との境界の拡大部が示すように、複数の画素のうち OB 画素領域 8 1 における画素 8 2 に対して、直近の有効画素面の左端の画素 8 3 には十分に光が照射されておらず、当該画素 8 3 からは撮像信号が出力されない虞がある。

【0038】

このとき内視鏡は、この画素 8 3 を有効画素開始位置として算出することはなく、さらに右方向の画素（例えば、右隣の画素）の位置を当該内視鏡における「有効画素開始位置」として算出することとなる。

40

【0039】

そして、もともと伝送ケーブルの遅延量が 1 クロック分である内視鏡の場合において、上述したように正しく有効画素開始位置を算出することができずに例えば、画素 8 3 の右隣の画素の位置を有効画素開始位置と算出してしまうと、間違った遅延量（例えば、2 クロック分の遅延量；図 18 参照）として認識される虞がある。

【0040】

そして、この「正しい遅延量」を得ることができない場合、後段の画像処理において、例えば、色ずれ、または、レンズとの中心位置ずれという不具合を生じる虞がある。

50

【 0 0 4 1 】

本願発明は、上述した事情に鑑みてなされたものであり、内視鏡自体の遮光構造、配光特性または組立精度等によらず、固体撮像素子における有効画素開始位置を正確に算出することができる撮像装置（内視鏡）を提供するものである。

【 0 0 4 2 】

図 2 に戻って、内視鏡 2 は、挿入部 6 の先端部 7 に配設された、被写体像を入光するレンズを含む対物光学系 2 1 と、対物光学系 2 1 における結像面に配設された撮像素子 2 2 と、を備える。

【 0 0 4 3 】

また内視鏡 2 は、撮像素子 2 2 から延出され、当該撮像素子 2 2 から挿入部 6、操作部 1 0、ユニバーサルコード 4 1 を経て、コネクタ 4 2 に至るまで配設されたケーブル 2 3 を備える。

【 0 0 4 4 】

さらに内視鏡 2 は、ケーブル 2 3 の後端側であってコネクタ 4 2 に配設された、A F E 2 4、F P G A 2 5、V D D 電圧制御部 2 6、撮像素子制御部 2 7、および、記憶部 2 8 等を有する。

【 0 0 4 5 】

撮像素子 2 2 は、本実施形態においては C M O S イメージセンサにより構成される固体撮像素子である。以下、撮像素子 2 2 の詳細な構成について図 2 および図 3 を参照して説明する。

【 0 0 4 6 】

図 2 に示すように、撮像素子 2 2 は、撮像素子制御部 2 7 からの撮像素子制御信号、および、V D D 電圧制御部 2 6 からの V D D 制御信号を受け撮像素子内部の各回路を制御する制御部 5 1 と、光電変換素部（P D）等を備える撮像部 5 2 と、撮像部 5 2 からの出力信号に対して相関二重サンプリング処理を施し撮像信号として出力する C D S 部 5 3 と、を有する。

【 0 0 4 7 】

撮像部 5 2 は、図 4 に示すように、フォトダイオード（P D ; Photodiode）と、四つのトランジスタ（リセットトランジスタ M_{RST} 、電荷転送電極 M_{TG} 、増幅トランジスタ M_D 、行選択トランジスタ M_{SEL} ）、電荷検出用浮遊拡散層（F D ; Floating Diffusion、以下、電荷検出部）および V D D 電源制御部 6 1 と、で主に構成される。

【 0 0 4 8 】

フォトダイオード（P D ; Photodiode）は、入射光に応じて光を光電変換して所定の信号電荷を蓄積する光電変換素部である。

【 0 0 4 9 】

電荷転送電極 M_{TG} は、光電変換部であるフォトダイオード（P D）において蓄積された信号電荷を転送する転送ゲートであり、そのオン・オフは、制御部 5 1 からの電荷転送パルスである制御信号 TG に制御される。

【 0 0 5 0 】

電荷検出部（F D ; Floating Diffusion）は、前記電荷転送電極 M_{TG} に接続され、前記光電変換部（P D）において蓄積された前記信号電荷を検出する。

【 0 0 5 1 】

リセットトランジスタ M_{RST} は、前記電荷検出部（F D）をリセットするためのリセット動作を実行するリセット部であり、そのオン・オフは、制御部 5 1 からの制御信号 RST に制御される。

【 0 0 5 2 】

増幅トランジスタ M_D は、前記電荷検出部（F D）に蓄積された電荷を増幅する。

【 0 0 5 3 】

行選択トランジスタ M_{SEL} は、増幅トランジスタ M_D の出力端に接続され、制御部 5 1 からの制御信号 SEL に制御され、増幅トランジスタ M_D の出力信号に対して“行”

10

20

30

40

50

を選択する。

【0054】

VDD電源制御部61は、制御部51に制御され、撮像素子22に供給する電源電圧値(VDD)を、撮像素子22が稼働する第1の電圧値(VDD)から当該VDDより低い電圧であって、前記電荷検出部(FD)に所定の電荷を逆注入可能とする第2の電圧値(VDD_{RST})に設定可能とする電源電圧制御部の一部を構成する。

【0055】

なお、撮像部52は、当該CMOSイメージセンサである撮像素子22において各画素毎に配設されるようになっている。すなわち、撮像部52は複数の画素を有する。

【0056】

前記撮像部52は、さらに、画素アレイの外側であって前記行選択トランジスタM_{SEL}の出力端に接続された垂直出力線に設けられた定電流源I_{BIAS}を有する。なお、前記増幅トランジスタM_Dと当該定電流源I_{BIAS}とでソースフォロアを構成し、撮像部52の出力信号を電圧信号として読み出すようになっている。

【0057】

このような構成をなす撮像素子22(撮像部52)は、制御部51の制御下に、所定の期間、フォトダイオード(PD)に蓄積された信号電荷が電荷転送パルスTGによりフォトダイオード(PD)から電荷検出部(FD)に転送される。

【0058】

そして、撮像素子22(撮像部52)は、制御部51の制御下に、当該転送の直前にリセットトランジスタM_{RST}をリセット動作させて、電荷検出部(FD)をリセット電圧に初期化する。

【0059】

その後、撮像素子22(撮像部52)は、電荷検出部(FD)における初期化電圧と信号電荷転送後の電圧とを行選択トランジスタM_{SEL}を介して、増幅トランジスタM_Dと定電流源I_{BIAS}とで構成されるソースフォロアで電圧信号として読み出すようになっている。

【0060】

次に前記CDS部53は、撮像部52の出力端(すなわち、垂直出力線)に接続され、撮像部52の出力信号に対して相関二重サンプリング(CDS; correlated double sampling)処理を施し撮像信号として出力する。

【0061】

すなわち、CDS部53は、第1サンプルホールド部である第1サンプルホールドスイッチSHRおよび第1容量C_rと、第2サンプルホールド部である第2サンプルホールドスイッチSHSおよび第2容量C_sと、差動出力部71と、を有する。

【0062】

前記第1サンプルホールド部(SHRおよびC_r)は、制御信号TGにより電荷転送電極M_{TG}がオフされた状態において、リセットトランジスタM_{RST}におけるリセット動作(制御信号RSTの制御)により電荷検出部(FD)がリセットされた際の当該電荷検出部(FD)に係るリセットノイズ信号に基づく第1出力信号をサンプルホールドする。

【0063】

前記第2サンプルホールド部(SHSおよびC_s)は、制御信号TGにより電荷転送電極M_{TG}がオンされた状態において、フォトダイオード(PD)が蓄積した信号電荷を電荷検出部(FD)に転送した後、当該電荷検出部(FD)における前記リセットノイズ信号を含む検出信号に基づく第2出力信号をサンプルホールドする。

【0064】

差動出力部71は、前記第1サンプルホールド部においてサンプルホールドされた前記第1出力信号と、前記第2サンプルホールド部においてサンプルホールドされた前記第2出力信号との差動出力信号を出力する。

10

20

30

40

50

【0065】

このように、固体撮像素子である撮像素子22は上述した構成をなし、また、差動出力部71からの前記差動出力信号を、当該撮像素子22のアナログ撮像信号として後段に向けて（ケーブル23を経由して）出力するようになっている。

【0066】

ケーブル23は、撮像素子22を制御するための各種駆動信号（撮像素子制御信号）、および、上述したVDD電圧を制御するためのVDD制御信号等の制御信号、並びに、当該撮像素子22からのアナログの撮像信号を伝送するケーブルであり、本実施形態においては、撮像素子22からコネクタ42に至るまで配設されている。

【0067】

また、ケーブル23を伝送するアナログ撮像信号は、上述したように、当該ケーブル23において所定の遅延を生じることとなる（図16参照）。

【0068】

AFE（アナログフロントエンド）24は、本実施形態においては上述したコネクタ42に配設され、ケーブル23を経たアナログ撮像信号に対して所定の処理を行う回路であり、アナログ/デジタル変換器（AD）等を備え、当該撮像信号をデジタル撮像信号として出力する。

【0069】

FPGA25は、いわゆるFPGA（Field Programmable Gate Array）により構成され、ビデオプロセッサ3からの動作制御を受け、各種のタイミング調整を行うタイミング調整部25aを形成する。

【0070】

<有効画素開始位置算出部について>

また、後述するようにFPGA25におけるタイミング調整部25aは、固体撮像素子である撮像素子22から出力したアナログ撮像信号のエッジを抽出し、前記複数の画素に係る有効画素開始位置を算出する有効画素開始位置算出部としての役目を果たす。

【0071】

具体的にタイミング調整部25aは「有効画素開始位置算出部」としての機能として、前記第1サンプルホールド部において前記第1出力信号をサンプルホールドする第1サンプルホールド動作時と前記第2サンプルホールド部において前記第2出力信号をサンプルホールドする第2サンプルホールド動作時との間において、VDD電圧制御部26、制御部51およびVDD電源制御部61を制御して、撮像素子22に供給する電源電圧値（VDD）を前記第2の電圧値（VDD_{RST}）に設定するようになっている。

【0072】

なお、撮像素子22に供給する電源電圧値（VDD）は、FPGA25の制御により、通常は、所定の電圧（第1VDD）に設定されるようになっている。

【0073】

また、タイミング調整部25aは、撮像素子制御部27、制御部51およびリセットトランジスタM_{RST}を制御してリセット動作を実行させることにより前記電荷検出部（FD）をリセットせしめるようになっている。

【0074】

そしてタイミング調整部25aは、電源電圧値（VDD）を第2の電圧値（VDD_{RST}）に低減し、かつ、リセットトランジスタM_{RST}を制御して電荷検出部（FD）をリセットさせるように制御することにより、当該電荷検出部（FD）に所定の電荷を逆注入するようになっている。

【0075】

さらに、タイミング調整部25aは、当該電荷検出部（FD）に所定の電荷を逆注入させた後、撮像素子22から出力した前記アナログ撮像信号のエッジを抽出し、複数の画素に係る有効画素開始位置を算出するようになっている。

【0076】

10

20

30

40

50

なお、本実施形態においては、工場出荷時等において撮像素子 22 が遮光された状態で前記電荷検出部 (FD) に電荷を逆注入し、撮像素子 22 から出力したアナログ撮像信号のエッジを抽出し、前記複数の画素に係る有効画素開始位置を算出するものとした。

【0077】

しかしながら、本願発明は、撮像素子 22 が遮光されているかいないか関わらず、前記電荷検出部 (FD) に電荷を逆注入することで、撮像信号のエッジを抽出し、有効画素開始位置を算出することができる。

【0078】

VDD 電圧制御部 26 は、FPGA 25 に接続され、前記タイミング調整部 25a に制御され、撮像素子 22 に供給する電源電圧値 (VDD) を前記第 2 の電圧値 (VDD_{RS_T}) に設定するための制御信号、VDD 制御信号を制御部 51 に向けて出力するようになっている。

【0079】

撮像素子制御部 27 は、FPGA 25 に接続され、前記タイミング調整部 25a に制御され、撮像素子 22 を制御する信号、特に、リセットトランジスタ M_{RS_T} におけるリセット動作を実行させるための制御信号、撮像素子制御信号を制御部 51 に向けて出力するようになっている。

【0080】

記憶部 28 は、当該内視鏡 2 における固有の情報、例えば、ケーブル 23 に起因する遅延データ等を不揮発的に記憶する記憶部である。

【0081】

< 有効画素開始位置の算出方法 >

次に、本実施形態における有効画素開始位置の算出方法について説明する。

【0082】

まず、内視鏡自体の遮光構造、配光特性および組立精度等に問題が無いとした場合における有効画素開始位置の算出工程について説明する。

【0083】

図 5 は、第 1 の実施形態の内視鏡において、内視鏡構造等に問題が無いとした場合の、有効画素開始位置の算出工程を示すフローチャートであり、図 6 は、同タイミングチャートである。

【0084】

さらに、図 7 は、第 1 の実施形態の内視鏡において、水平同期信号 (HD) と有効画素 (DE) における有効画素開始位置との位相差を求める際の様子を示したタイミングチャートである。

【0085】

図 5、図 6 に示すように、工場出荷時において撮像素子 22 に所定の光が照射されると (ステップ S11)、撮像素子 22 は露光制御と共に読み出し制御され、所定の画像情報を取得する (ステップ S12)。

【0086】

このとき、FPGA 25 の制御下に、VDD 電圧制御部 26 および撮像部 52 における制御部 51 が制御され、撮像素子 22 に供給する電源電圧値 (VDD) は、通常の第 1 VDD に設定される。

【0087】

その後、撮像部 52 における制御部 51 は、タイミング調整部 25a の制御下に制御信号 SEL を “H” にして行選択トランジスタ M_{SEL} をオンする。

【0088】

次に制御部 51 は、この行選択トランジスタ M_{SEL} がオンした状態において、RST を “H” にし、リセットトランジスタ M_{RS_T} をリセット動作させて、電荷検出部 (FD) をリセット電圧に初期化する。

【0089】

10

20

30

40

50

すなわち、制御部 5 1 は、フォトダイオード (P D) から電荷検出部 (F D) への電荷の転送の直前にリセットトランジスタ M_{RST} をリセット動作させて、電荷検出部 (F D) をリセット電圧に初期化する。

【 0 0 9 0 】

そして制御部 5 1 は、電荷検出部 (F D) における初期化電圧の電圧を行選択トランジスタ M_{SEL} を介して、増幅トランジスタ M_D と定電流源 I_{BIAS} とで構成されるソースフォロアで電圧信号として読み出し出力する。

【 0 0 9 1 】

その後 C D S 部 5 3 における第 1 サンプルホールド部 (S H R および C_r) は、制御部 5 1 の制御下に、電荷転送電極 M_{TG} がオフされた状態において、制御信号 R を “ H ” にし、電荷検出部 (F D) に係るリセットノイズ信号に基づく第 1 出力信号をサンプルホールドする。

10

【 0 0 9 2 】

すなわち、第 1 サンプルホールド部 (S H R および C_r) は、リセットトランジスタ M_{RST} におけるリセット動作 (制御信号 R S T の制御) により電荷検出部 (F D) がリセットされた際の当該電荷検出部 (F D) に係るリセットノイズ信号に基づく第 1 出力信号をサンプルホールドする。

【 0 0 9 3 】

その後、撮像部 5 2 における制御部 5 1 は、電荷転送パルス T G を出力し、フォトダイオード (P D) に蓄積された信号電荷をフォトダイオード (P D) から電荷検出部 (F D) に転送する。

20

【 0 0 9 4 】

その後 C D S 部 5 3 における第 2 サンプルホールド部 (S H S および C_s) は、制御部 5 1 の制御下に、電荷転送電極 M_{TG} がオンされた状態において、制御信号 S を “ H ” にし、電荷検出部 (F D) における前記リセットノイズ信号を含む検出信号に基づく第 2 出力信号をサンプルホールドする。

【 0 0 9 5 】

すなわち、第 2 サンプルホールド部 (S H S および C_s) は、フォトダイオード (P D) が蓄積した信号電荷を電荷検出部 (F D) が転送された後、当該電荷検出部 (F D) における前記リセットノイズ信号を含む検出信号に基づく第 2 出力信号をサンプルホールドする。

30

【 0 0 9 6 】

その後、制御部 5 1 は、制御信号 Y を “ H ” にし、差動出力部 7 1 を稼働せしめ、前記第 1 サンプルホールド部においてサンプルホールドされた前記第 1 出力信号と、前記第 2 サンプルホールド部においてサンプルホールドされた前記第 2 出力信号との差動出力信号を出力する。

【 0 0 9 7 】

そして、差動出力部 7 1 からの前記差動出力信号は、当該撮像素子 2 2 のアナログ撮像信号としてケーブル 2 3 を経由して後段 (A F E 2 4 、 F P G A 2 5) に向けて出力される。

40

【 0 0 9 8 】

図 5 に戻って、その後、内視鏡 2 における F P G A 2 5 は、タイミング調整部 2 5 a の制御下に、撮像素子 2 2 において取得した画像 (アナログ撮像信号) からエッジ部 (O B 画素 (P D 有り) の開始位置) を抽出し (ステップ S 1 3) 、抽出したエッジ部の画素位置から有効画素開始位置を算出すると共に、当該有効画素開始位置と水平同期信号との位相差を求める (図 5 のステップ S 1 4 および図 7 参照) 。

【 0 0 9 9 】

ここで、O B 画素 (P D 有り) の開始位置から有効画素までの距離は、内視鏡ごと (撮像素子ごと) に決まる値であるため、抽出したエッジ部位置 (O B 画素の開始位置) から有効画素開始位置を算出することが可能となる。

50

【0100】

なお、本実施形態においては、OB画素としてPD有りのものと採用したが、仮にOB画素としてPDが無い場合は、抽出したエッジ部が有効画素開始位置となる。

【0101】

この後、内視鏡2は、算出した有効画素開始位置および前記位相差の情報から、当該内視鏡2に係る「遅延量」のデータを求め、当該遅延量のデータを記憶部28に記憶する（ステップS15）。

【0102】

次に、内視鏡自体の遮光構造、配光特性および組立精度等に問題がある場合であっても対応可能な本実施形態における有効画素開始位置の算出工程について説明する。

10

【0103】

図8は、第1の実施形態の内視鏡における有効画素開始位置の算出工程を示すフローチャートであり、図9は、同タイミングチャートである。

【0104】

また、図7は、第1の実施形態の内視鏡において、水平同期信号（HD）と有効画素（DE）における有効画素開始位置との位相差を求める際の様子を示したタイミングチャートである。

【0105】

図8、図9に示すように、本実施形態の内視鏡2は、工場出荷時における撮像素子22が遮光状態の際に、FPGA25におけるタイミング調整部25aの制御下に、VDD電圧制御部26が制御部51およびVDD電源制御部61を制御して、所定のタイミングで撮像素子22の電源電圧（VDD）を制御する（ステップS21）。

20

【0106】

タイミング調整部25aの制御下に、撮像素子制御部27が制御部51を制御して、所定のタイミングで制御信号RSTを制御する（ステップS21）。

【0107】

すなわち、内視鏡自体の遮光構造、配光特性および組立精度等に問題がある場合における有効画素開始位置の算出工程においても、図9に示すように、まずは、FPGA25の制御下に、VDD電圧制御部26および撮像部52における制御部51が制御され、撮像素子22に供給する電源電圧値（VDD）は、通常の第1VDDに設定される。

30

【0108】

その後、上記同様に、すなわち、内視鏡自体の遮光構造、配光特性および組立精度等に問題が無い場合と同様に、撮像部52における制御部51は、制御信号SELを“H”にして行選択トランジスタ M_{SEL} をオンし、この行選択トランジスタ M_{SEL} がオンした状態において、リセットトランジスタ M_{RST} をリセット動作させて、電荷検出部（FD）をリセット電圧に初期化する。

【0109】

その後CD53における第1サンプルホールド部（SHRおよびCr）は、上記同様に、制御部51の制御下に、電荷転送電極 M_{TG} がオフされた状態において、制御信号Rを“H”にし、電荷検出部（FD）に係るリセットノイズ信号に基づく第1出力信号をサンプルホールドする。

40

【0110】

その後、撮像部52における制御部51は、電荷転送パルスTGを出力し、フォトダイオード（PD）に蓄積された信号電荷をフォトダイオード（PD）から電荷検出部（FD）に転送する。

【0111】

ここで本実施形態においては、タイミング調整部25aは、所定のタイミングで、VDD電圧制御部26、制御部51およびVDD電源制御部61を制御して、撮像素子22に供給する電源電圧値（VDD）を前記第2の電圧値（ VDD_{RST} ）に設定する。

【0112】

50

具体的には、図 9 に示すように、C D S 部 5 3 における第 1 サンプルホールド部において前記第 1 出力信号をサンプルホールドする第 1 サンプルホールド動作時と前記第 2 サンプルホールド部において前記第 2 出力信号をサンプルホールドする第 2 サンプルホールド動作時との間において、タイミング調整部 2 5 a は、V D D 電源制御部 6 1 等を制御して撮像素子 2 2 に供給する電源電圧値 (V D D) を前記第 2 の電圧値 (V D D_{R S T}) に設定する。

【 0 1 1 3 】

なお、この第 2 の電圧値 (V D D_{R S T}) は、電荷検出部 (F D) に対する前記逆注入が起きる V D D よりも低い電圧レベル値に設定することが望ましい。

【 0 1 1 4 】

さらに、タイミング調整部 2 5 a は、前記第 1 サンプルホールド動作時と前記第 2 サンプルホールド動作時との間であって、前記電源電圧値 (V D D) が前記第 2 の電圧値 (V D D_{R S T}) に設定されている間において、撮像素子制御部 2 7、制御部 5 1 およびリセットトランジスタ M_{R S T} を制御してリセット動作を実行させることにより前記電荷検出部 (F D) をリセットさせる。

【 0 1 1 5 】

すなわち、タイミング調整部 2 5 a は、当該タイミングにおいて、電源電圧値 (V D D) を第 2 の電圧値 (V D D_{R S T}) に低減し (例えば、本実施形態ではほぼグラウンドレベル)、かつ、リセットトランジスタ M_{R S T} をリセット動作させて電荷検出部 (F D) をリセットさせるように制御することにより、当該電荷検出部 (F D) に所定の電荷を逆注入させる (図 8 におけるステップ S 2 2)。

【 0 1 1 6 】

その後、タイミング調整部 2 5 a は、電源電圧値 (V D D) を通常の第 1 の電圧値 (第 1 V D D) に戻すように V D D 電源制御部 6 1 等を制御する。

【 0 1 1 7 】

そして、電源電圧値 (V D D) が通常の第 1 の電圧値 (第 1 V D D) に戻された後、タイミング調整部 2 5 a の制御下による制御部 5 1 の制御により、第 2 サンプルホールド部 (S H S および C s) は、電荷転送電極 M_{T G} がオンされた状態において、制御信号 S を “ H ” にし、所定の電荷が逆注入された電荷検出部 (F D) における検出信号に基づく第 2 出力信号をサンプルホールドする。

【 0 1 1 8 】

その後、制御部 5 1 は、上記同様に、制御信号 Y を “ H ” にし、差動出力部 7 1 を稼働せしめ、前記第 1 サンプルホールド部においてサンプルホールドされた前記第 1 出力信号と、前記第 2 サンプルホールド部においてサンプルホールドされた前記第 2 出力信号 (所定の電荷が逆注入された電荷検出部 (F D) に係る信号) との差動出力信号を出力する。

【 0 1 1 9 】

そして、差動出力部 7 1 からの前記差動出力信号は、当該撮像素子 2 2 のアナログ撮像信号として、上記同様に、ケーブル 2 3 を経由して後段 (A F E 2 4、F P G A 2 5) に向けて出力される。

【 0 1 2 0 】

図 8 に戻って、その後、内視鏡 2 における F P G A 2 5 は、タイミング調整部 2 5 a の制御下に、撮像素子 2 2 において取得した画像 (アナログ撮像信号) を取得し (ステップ S 2 3)、次いでエッジ部 (O B 画素 (P D 有り) の開始位置) を抽出し (ステップ S 2 4)、抽出したエッジ部の画素位置から有効画素開始位置を算出すると共に、当該有効画素開始位置と水平同期信号との位相差を求める (図 8 のステップ S 2 5 および図 7 参照)。

【 0 1 2 1 】

ここで、O B 画素 (P D 有り) の開始位置から有効画素までの距離は、内視鏡ごと (撮像素子ごと) に決まる値であるため、抽出したエッジ部位置 (O B 画素の開始位置) から

10

20

30

40

50

有効画素開始位置を算出することが可能となる。

【0122】

なお、本実施形態においては、OB画素としてPD有りのものと採用したが、仮にOB画素としてPDが無い場合は、抽出したエッジ部が有効画素開始位置となる。

【0123】

この後、内視鏡2は、算出した有効画素開始位置および前記位相差の情報から、当該内視鏡2に係る「遅延量」のデータを求め、当該遅延量のデータを不揮発メモリである記憶部28に記憶する(ステップS26)。

【0124】

以上説明したように、本実施形態においては、撮像素子22の有効画素開始位置を算出する工程において、CDS部53における第1サンプルホールド動作時と第2サンプルホールド動作時との間において、撮像素子22に供給する電源電圧値(VDD)を通常より低い第2の電圧値(VDD_{RST})に設定すると共に、前記第1サンプルホールド動作時と前記第2サンプルホールド動作時との間であって、前記電源電圧値(VDD)が前記第2の電圧値(VDD_{RST})に設定されている間において、リセットトランジスタM_{RST}を制御してリセット動作を実行させることにより電荷検出部(FD)をリセットさせて所定の電荷が逆注入させる。

10

【0125】

そして、当該所定の電荷が逆注入された電荷検出部(FD)における検出信号に基づく第2出力信号をサンプルホールドすることにより、前記第1サンプルホールド部においてサンプルホールドされた前記第1出力信号と、前記第2サンプルホールド部においてサンプルホールドされた前記第2出力信号(所定の電荷が逆注入された電荷検出部(FD)に係る信号)との差動出力信号を得ることができ、当該差動出力信号に係るアナログ撮像信号を用いることで、撮像素子22に照射される光によらず、有効画素開始位置を正確に算出することができる。

20

【0126】

換言すれば、内視鏡自体の遮光構造、配光特性または組立精度に問題があり、有効画素領域とOB画素領域との境界に光が十分に照射されていない状態が発生し得る場合であっても、有効画素開始位置を正確に算出することを可能とし、ひいては、ケーブルに起因する撮像信号の遅延量を「正しい遅延量」として求めることができる。

30

【0127】

<第2の実施形態>

次に、本発明の第2の実施形態について説明する。

【0128】

図10は、本発明の第2の実施形態の内視鏡における撮像素子の詳細な構成を示す電気回路図である。また、図11は、第2の実施形態の内視鏡において、内視鏡構造等に問題が無いとした場合における有効画素開始位置の算出工程を示すタイミングチャートであり、図12は、第2の実施形態の内視鏡における有効画素開始位置の算出工程(内視鏡構造等に問題がある場合の算出工程)を示すタイミングチャートである。

40

【0129】

本第2の実施形態の検査システムおよび内視鏡システムは、その基本的な構成は第1の実施形態と同様であり、撮像素子22における撮像部において行選択トランジスタM_{SEL}を備えないタイプの撮像素子を採用したことを特徴とするものである。

【0130】

したがって、ここでは第1の実施形態との差異のみの説明にとどめ、共通する部分の説明については省略する。

【0131】

図10に示すように、第2実施形態における撮像素子は、第1の実施形態における撮像部52に比して行選択トランジスタM_{SEL}を省いた撮像部101、102、103・・・を有する。

50

【 0 1 3 2 】

また、これら撮像素子 1 0 1、1 0 2、1 0 3 の出力信号（増幅トランジスタの出力）は、いずれも垂直出力線に接続され、当該垂直出力線は、第 1 の実施形態と同様の C D S 部 1 0 4 が接続されている。

【 0 1 3 3 】

その他の構成は、第 1 の実施形態と同様であるので、ここでの詳しい説明は省略する。

【 0 1 3 4 】

本第 2 の実施形態の撮像素子の作用は、行選択トランジスタ M_{SEL} を備えないほかは第 1 の実施形態における撮像素子 2 2 と同様であり、図 1 1 および図 1 2 に示すように、撮像素子 1 0 1、1 0 2、1 0 3・・・の有効画素開始位置を算出する工程において、C D S 部 1 0 4 における第 1 サンプルホールド動作時と第 2 サンプルホールド動作時との間において、撮像素子に供給する電源電圧値（V D D）を通常より低い第 2 の電圧値（V D D_{RST}）に設定すると共に、前記第 1 サンプルホールド動作時と前記第 2 サンプルホールド動作時との間であって、前記電源電圧値（V D D）が前記第 2 の電圧値（V D D_{RST}）に設定されている間において、リセットトランジスタ M_{RST} を制御してリセット動作を実行させることにより所定の電荷が逆注入させるようになっている。

【 0 1 3 5 】

したがって、本第 2 の実施形態においても、第 1 の実施形態と同様に、当該所定の電荷が逆注入された電荷検出部（F D）における検出信号に基づく第 2 出力信号をサンプルホールドすることにより、前記第 1 サンプルホールド部においてサンプルホールドされた前記第 1 出力信号と、前記第 2 サンプルホールド部においてサンプルホールドされた前記第 2 出力信号（所定の電荷が逆注入された電荷検出部（F D）に係る信号）との差動出力信号を得ることができ、当該差動出力信号に係るアナログ撮像信号を用いることで、撮像素子に照射される光によらず、有効画素開始位置を正確に算出することができる。

【 0 1 3 6 】

換言すれば、第 2 の実施形態によっても、内視鏡自体の遮光構造、配光特性または組立精度に問題があり、有効画素領域と O B 画素領域との境界に光が十分に照射されていない状態が発生し得る場合であっても、有効画素開始位置を正確に算出することを可能とし、ひいては、ケーブルに起因する撮像信号の遅延量を「正しい遅延量」として求めることができる。

【 0 1 3 7 】

本発明は、上述した実施形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【 符号の説明 】

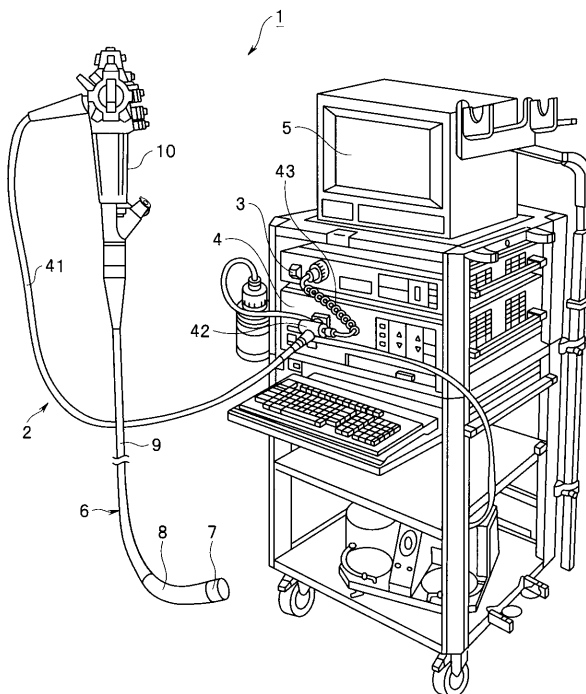
【 0 1 3 8 】

- 1 ... 内視鏡システム
- 2 ... 内視鏡
- 3 ... ビデオプロセッサ
- 4 ... 光源
- 5 ... モニタ装置
- 2 1 ... 対物光学系
- 2 2 ... 撮像素子
- 2 3 ... ケーブル
- 2 4 ... アナログフロントエンド回路（A F E）
- 2 5 ... F P G A
- 2 5 a ... タイミング調整部（有効画素開始位置算出部）
- 2 6 ... V D D 電圧制御部
- 2 7 ... 撮像素子制御部
- 2 8 ... 記憶部
- 5 1 ... 制御部

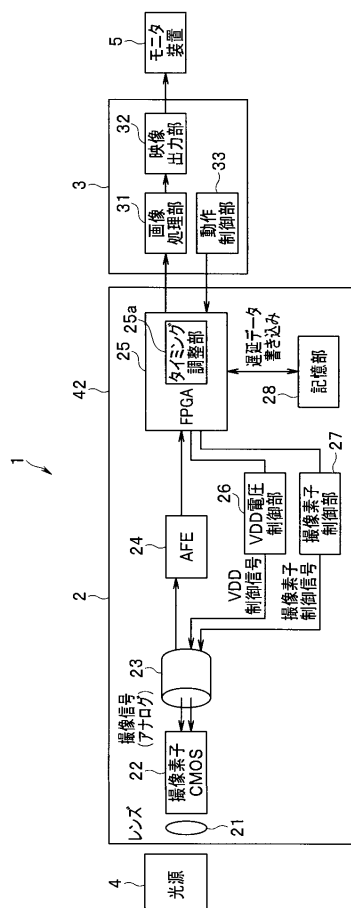
5 2 ... 撮像部
5 3 ... C D S 部
6 1 ... V D D 電源制御部
P D ... フォトダイオード
M_{T G} ... 電荷転送電極
F D ... 電荷検出部
M_{R S T} ... リセットトランジスタ
M_D ... 増幅トランジスタ
M_{S E L} ... 行選択トランジスタ
I_{B I A S} ... 電流源
S H R ... 第 1 サンプルホールドスイッチ
S H S ... 第 2 サンプルホールドスイッチ
C r ... 第 1 容量
C s ... 第 2 容量
7 1 ... 差動出力部

10

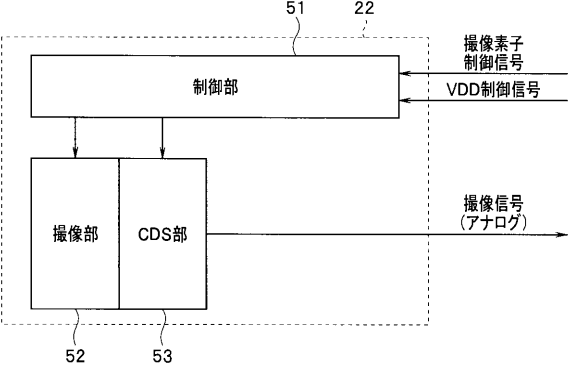
【 圖 1 】



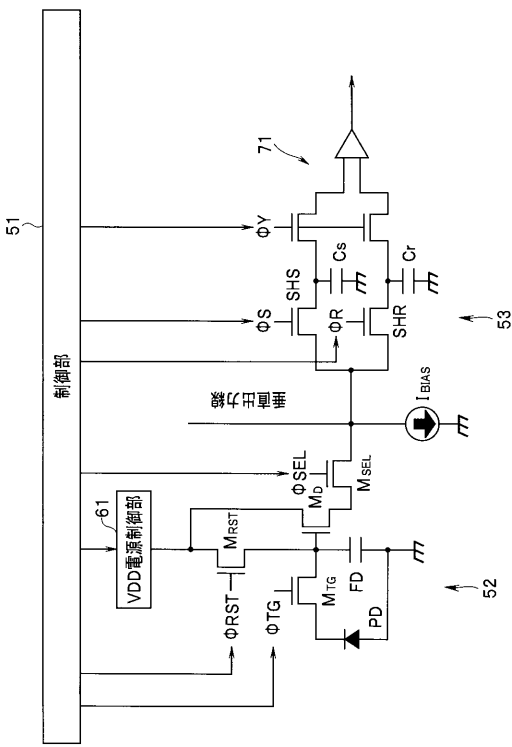
【 図 2 】



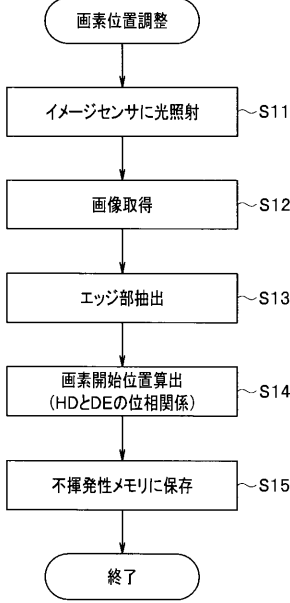
【 図 3 】



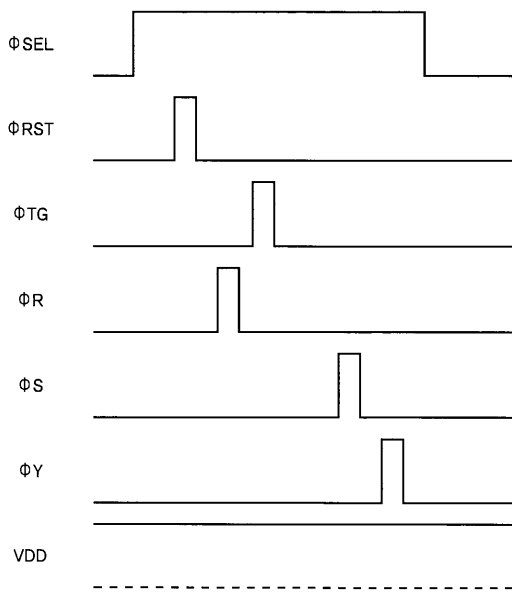
【 図 4 】



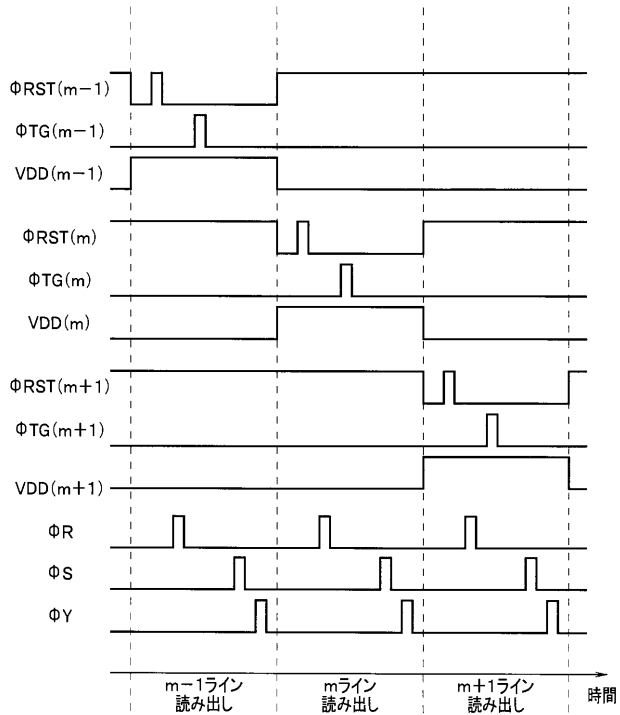
【 図 5 】



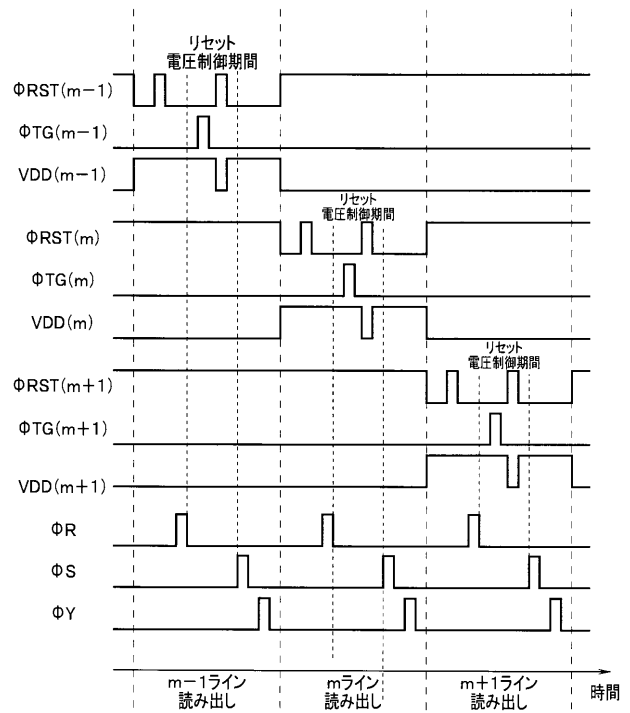
【 図 6 】



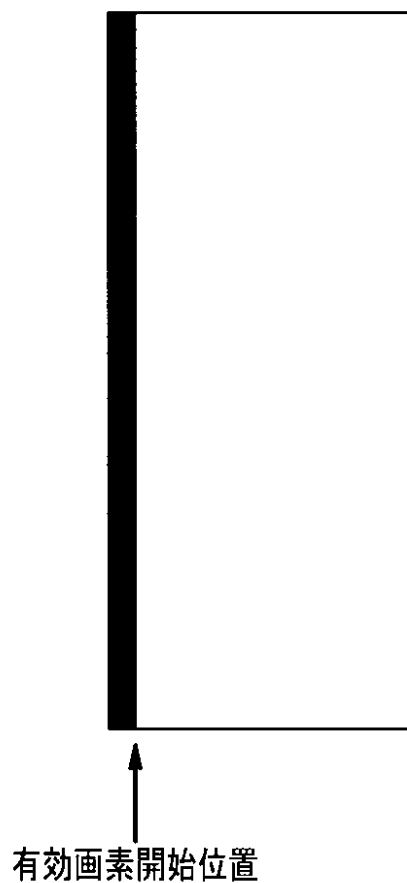
【図 1 1】



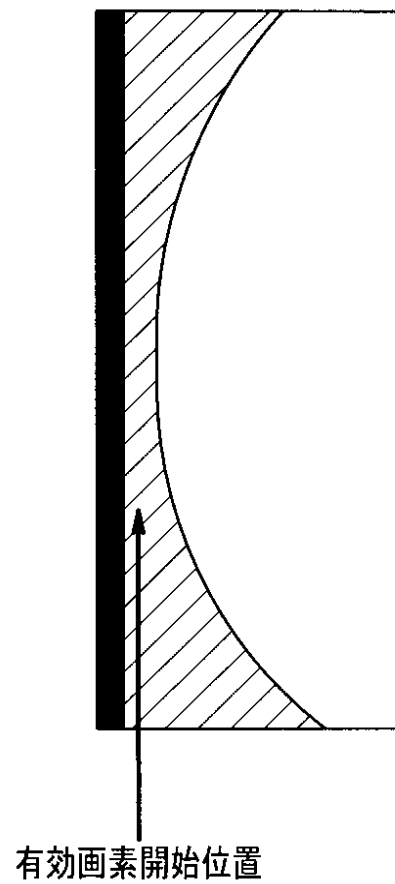
【図 1 2】



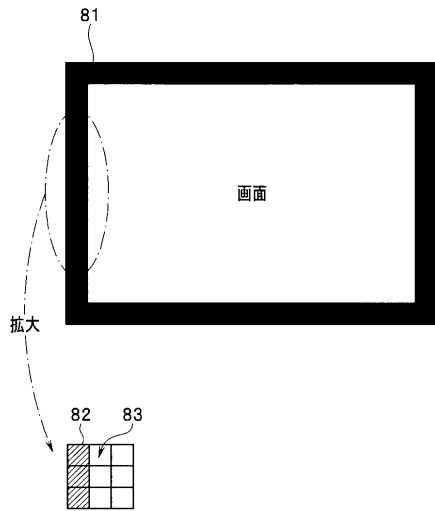
【図 1 3】



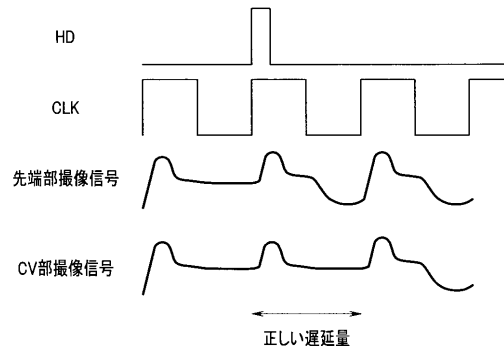
【図 1 4】



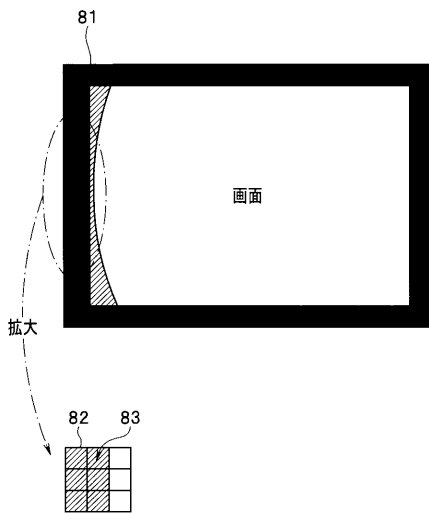
【図 15】



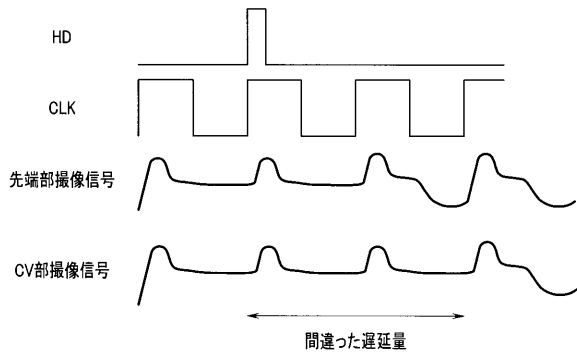
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 2 B 23/24 (2006.01) G 0 2 B 23/24 B

F ターム(参考) 2H040 GA02 GA10
4C161 CC06 DD03 JJ18 LL02 RR06 SS03
4M118 AB01 BA14 CA02 DC05 FA06
5C024 AX01 BX02 CX51 CY25 DX07 GX03 GX16 GY31 HX02 HX47
HX50
5C122 DA03 DA04 DA26 EA42 FC02 FC06 FC07 FC17 HA88 HB01
HB02

专利名称(译)	摄像装置		
公开(公告)号	JP2017200129A	公开(公告)日	2017-11-02
申请号	JP2016091532	申请日	2016-04-28
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	本田誠也 澤田浩和		
发明人	本田 誠也 澤田 浩和		
IPC分类号	H04N5/378 H04N5/225 H04N5/374 A61B1/04 H01L27/146 G02B23/24		
FI分类号	H04N5/335.780 H04N5/225.C H04N5/335.740 A61B1/04.370 H01L27/14.A G02B23/24.B A61B1/00.630 A61B1/00.680 A61B1/04 A61B1/045.610 H01L27/146.A H04N5/225 H04N5/225.300 H04N5/225.500 H04N5/232.410 H04N5/374 H04N5/378		
F-TERM分类号	2H040/GA02 2H040/GA10 4C161/CC06 4C161/DD03 4C161/JJ18 4C161/LL02 4C161/RR06 4C161/SS03 4M118/AB01 4M118/BA14 4M118/CA02 4M118/DC05 4M118/FA06 5C024/AX01 5C024/BX02 5C024/CX51 5C024/CY25 5C024/DX07 5C024/GX03 5C024/GX16 5C024/GY31 5C024/HX02 5C024/HX47 5C024/HX50 5C122/DA03 5C122/DA04 5C122/DA26 5C122/EA42 5C122/FC02 5C122/FC06 5C122/FC07 5C122/FC17 5C122/HA88 5C122/HB01 5C122/HB02		
代理人(译)	伊藤 进 长谷川 靖 ShinoUra修		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了准确地计算固态成像装置中的有效像素开始位置，不管光学屏蔽结构，内窥镜自身的光分布特性，组装精度等如何。有效像素开始位置计算单元（定时调整单元25A），在所述第一采样和保持操作的第二输出信号和用于采样的第二采样和保持单元，并以第一取样保持所述第一输出信号和保持单元第二采样和保持之间用于采样和保持操作，地面VDD提供给CMOS图像传感器的成像元件22由VDD电压控制器26电平的控制重置复位晶体管M_{RST} 以将预定电荷反向注入到电荷检测单元（FD）之后，从图像传感器22输出的图像信号的边缘并且计算多个像素的有效像素开始位置。

